

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112429

(43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H01L 27/108

H01L 27/04

(21)Application number : 04-260040

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.1992

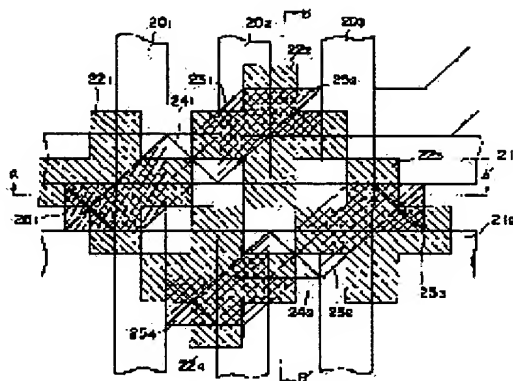
(72)Inventor : CHIKUDAI SEIICHI  
OZAKI TORU  
NITAYAMA AKIHIRO  
HASHIMOTO KOJI

## (54) SEMICONDUCTOR MEMORY AND MANUFACTURE METHOD THEREOF

## (57)Abstract:

**PURPOSE:** To provide the title semiconductor memory and manufacturing method thereof having plane patterns of accumulation electrodes making it easy to make contact between the wirings above the accumulation electrodes and the layers below the accumulation electrodes capable of ensuring a capacitance required for DRAM cells without notably increasing the height of the accumulation electrodes.

**CONSTITUTION:** Within the title semiconductor memory comprising multiple memory cells formed of capacitors connecting to MOS transistor and either one out of source/drain of this transistor, the accumulation electrodes 22 are formed crosswise by assembling square patterns in the minimum processing dimensions so that the accumulation electrodes 22 in the large projection area at the smaller isolation intervals than those of the minimum processing dimensions may be formed by using the corner parts of the patterns for the isolation of adjoining accumulation electrodes 22.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平6-112429

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108				
27/04	C	8427-4	H 0 1 L 27/ 10	3 2 5 C
		9170-4		

審査請求 未請求 請求項の数3(全15頁)

(21)出願番号 特願平4-260040

(22)出願日 平成4年(1992)9月29日

(71)出願人 000003078  
株式会社東芝 (Toshiba)  
神奈川県川崎市幸区堀川町72番地

(72)発明者 竹大 精一  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 尾崎 徹  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 仁田山 晃寛  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

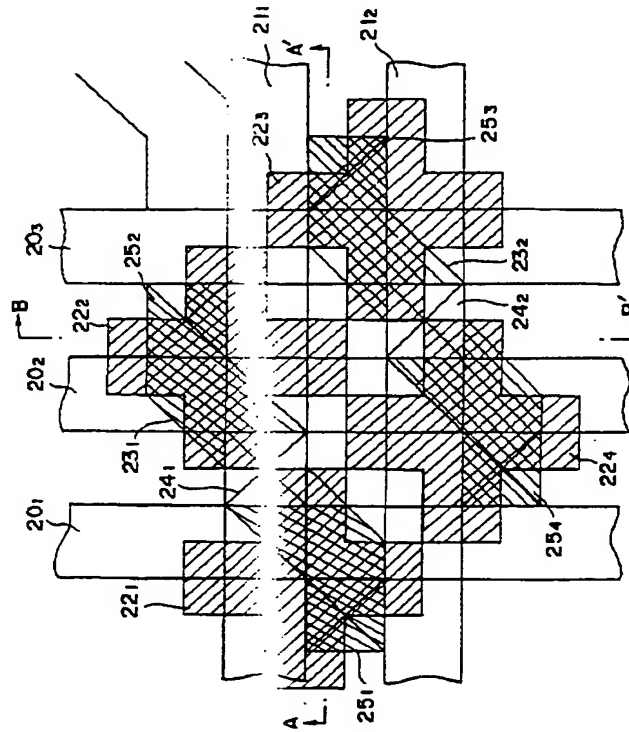
最終頁に続く

(54)【発明の名称】 半導体記憶装置及びその製造方法

## 7)【要約】

【課題】 축적 전극 높이를 그다지 크게 한 것 없이 D R A M 셀 필요한 캐패시터 용량을 확보한 것이 가능하고, 축적 전극보다(부터) 위의 선으로부터 축적 전극보다(부터) 아래의 층에 접착을 한 것이 손상해지지 않은 것 같았는 축적 전극의 평면 패턴을 갖는 반도체 기억 장치 및 그 제조 방법을 제공한 것에 있다.

【構成】 반도체 기판상에 M O S 트랜지스터 및 이 트랜지스터의 소스·드레인의 한쪽에 접속된 캐패시터를 형성한 메모리 셀을 복수개 배치된 반도체 기억 장치에 있어, 캐패시터의 축적 전극 2 2를 최소 가공 치수의 정방형 패턴을 조합시키고 십자형에 형성하고, 인접한 축적 전극 2 2의 분리에 패턴의 코너 부를 이용한 것에 의하고, 최소 가공 치수보다(부터) 작은 분리 간격의 투영 면적이 큰 축적 전극 2 2를 형성 것을 특징으로 한다.



특히 청구의 범위】

【청구항 1】 반도체 기판상에 MOS 트랜지스터 및 이 트랜지스터의 소스·드레인의 한쪽에 접속된 캐패시터를 형성한 메모리 셀을 복수개 배해 된 반도체 기억 장치에 있어, 상기 캐패시터의 축적 전극의 본 기에 패턴의 코너 부를 이용하고, 최소 가공 치수보다(부터) 작은 분리 간의 축적 전극을 형성한 것을 특징으로 한 반도체 기억 장치.

【청구항 2】 일도전형의 반도체 기판 표면에 소자 영역을 형성한 공정과, 상기 기판상에 절연막을 이용하고 워드 선, 비트 선을 형성한 공정, 상기 절연막에 축적 전극의 콘택트를 형성한 공정과, 뒤이어 절연막에 축적 전극으로 된 도전막을 퇴적한 공정과, 상기 도전막상에 해막 패턴링하기 위한 마스크 재료막을 퇴적한 공정과, 상기 마스크 재료막을 십자형의 축적 전극 패턴에 가공한 공정과, 가공된 마스크 재료를 이용하고 상기 도전막을 패턴링 한 공정과, 가공된 도전막의 표면에 캐패시터 절연막을 형성한 공정과, 뒤이어 캐패시터 상부 전극을 형성한 공정을 포함한 것을 특징으로 한 반도체 기억 장치의 제조 방법.

【청구항 3】 상기 마스크 재료막을 패턴링 한 때에, 에치 이용형의 위상 시프트 마스크를 이용한 것을 특징으로 한 청구항 2 기재된 반도체 기억 장치의 제조 방법.

【발명의 자세한 내용한 설명】

【0001】

【산업상의 이용 분야】 본 발명은, 반도체 기억 장치 및 그 제조 방법에 관계되고, 특히 스택 형 캐패시터 구조를 갖는 다이내믹 형 RAM (DRAM)

에 관한다.

【0002】

【배경 기술】 근래, 반도체 기억 장치는 고집적화, 대용량화가 일로를 걷고 있고, 특히 1 개의 MOSFET와 1 개의 MOS 캐패시터로 구성된 MOS 다이내믹 RAM (DRAM) 에 있어서는, 그 메모리 셀의 미세화와의 연구가 진행되고 있다. 이와 같은 메모리 셀의 미세화 수반하고, 정보 (전하) 를 축적한 캐패시터의 면적은 감소하고, 이 결과 메모리 내용이 잘못하고 판독되거나, 또는  $\alpha$  선등에 의하고 메모리 내용이 파괴된 소프트 에러등이 문제가 되어 있다.

【0003】 이와 같은 문제를 해결하고, 고집적화, 대용량화를 꾀하기 위해(때문에)의 방법으로서, 점유 면적을 증대한 일 없고, 실질적으로 캐패시터의 점유 면적을 확대하고, 캐패시터 용량을 늘리고, 축적 전하량을 증대시키기 위해(때문에) 다양한 방법이 제안되고 있다. 그 1 예로, 다음과 같은 스택 형 캐패시터 구조를 갖는 DRAM이 있다.

【0004】 이 DRAM은, 그림 26에 평면도를, 그림 27에 그림 26의 시시 F-F' 단면도를 나타내도록, 소자 분리 영역 2 (2<sub>1</sub>, …) 및 소자 영역 9 (9<sub>1</sub>, 9<sub>2</sub> …) 를 형성하고, 또한 워드 선 3 (3<sub>1</sub>, 3<sub>2</sub> …) 을 형성해 MOS 트랜지스터를 형성하고, 비트 선 (10<sub>1</sub>, 10<sub>2</sub> …), 축적 전극 4 (4<sub>1</sub>, 4<sub>2</sub> …), 캐패시터 절연막 5, 플레이트 전극 6을 형성해 DRAM 셀을 형성하고 있다. 7은 축적 전극 콘택트, 8은 절연막을 나타내고 있다.

【0005】 이와 같은 구조에서는, 축적 전극으로서, 투영면뿐만 아니라 측면도 캐패시터 면적에 기여하기 때문에, 축적 전극의 높이를 줄인 것에 의하고 캐패시터 용량을 증가시키는 것이 가능하다.

의 평면 패턴의 주변장이 충분히 크지 않기 위해(때문에), D R A M 셀에 필드  
가 있다. 이 때문에, 축적 전극보다(부터) 위의 배선으로부터 축적 전극보다(부터)

[illegible]

.. 그 목적으로 한 점은, 축적 전극 높이를 그다지 크게 한 것 없이 DRAM  
크다(무터) 위의 배선으로부터 축적 전극보다(무터) 아래의 층에 접촉을 한 것  
제조 방법을 제공한 것에 있다.

표 전극간의 분리에 패턴의 코너 부를 이용한 것에 의하고, 최소 가공 치수보  
표 전극에 형성하고 있다.

및 이 트랜지스터의 소스·드레인의 한면에 접속된 캐패시터를 형성한 메모리  
적 전극을 최소 가공 치수의 정방형 패턴을 조합시키고 십자형에 형성하고,  
것을 특징으로 한다.

크 방법에 있어, 일도전형의 반도체 기판 표면에 소자 영역을 형성한 공정과, 절연막에 축적 전극의 콘택트를 형성한 공정과, 뒤이어 전면에 축적 전극 위한 마스크 재료막을 퇴적한 공정과, 마스크 재료막을 십자형의 축적 전극막을 패터닝 한 공정과, 가공된 도전막의 표면에 캐패시터 절연막을 형성하는 것을 특징으로 한다.

【작용】 상기의 구조에 의하면, **특정 전극을 집자형의 패턴과** 패턴의 코너 부로 분리 가능한 구조로 하고 있기 때문에, 최소 가공 치수 크다(부드) 작은 분리 간격의 투영 면적 및 평면 패턴 주변 으란 **특정 전극을 형성한 것이 할 수 있다.** 따라서, D R A M 메모리에 필요한 배패터닝 용량을, 특정 전극보다(부드) 위의 배선으로부터 특정 전극보다(부드) 아래의 층에 접촉을 한 것이 곤란해지지 않는 것 같았는 특정 전극의 높이로 실현한 것이 가능해진다.

【실시예】 이하, 본 발명의 실시예에 관하여 도면을 참조하면서 상세히 설명한다.

[ 0 0 1 5 ] 이 트랜지스터의 비트 선택팩트의 반대측은, 축적 전극 콘택트 2 5 ( 2 5<sub>1</sub>, 2 5<sub>2</sub>, … ) 를 이용하고 축적 전극 2 2 ( 2 2<sub>1</sub>, 2 2<sub>2</sub>, … ) 라고 연결되고 있다. 이 축적 전극 2 2 는 본리에 패턴의 코너 부를 이용한 것에 의하고, 최소 가공 치수보다(부더) 작은 본리 간격의 투영 면적 및 평면 패턴 주변으론 이 축적 전극을 형성하고 있다. 그리고, 축적 전극 2 2 와 절연막 2 7 및 플레이트 전극 2 8 트캐패터터를 형성하고 있다. 또한, 그림중 1 0 0 ( 1 0 0<sub>1</sub>, 1 0 0<sub>2</sub>, … ) , 1 0 1 ( 1 0 1<sub>1</sub>, 1 0 1<sub>2</sub>, … ) 은 중간 절연막을 나타내고 있다.

[0017] 먼저, 그림 3, 그림 4의 (a)에 나타내도록, 실리콘 기판 26에, 열산화에 의하고 소자 분리용의 필드 산화막 29를 형성한다. 이 소자 분리 영역의 형성에는, 필드 이온 주입을 행해도 좋다. 그리고, 트랜지스터 영역에 채널 이온 주입, 게이트 절연막 형성, 워이어선 20 형성을 행하고, 또한 소스, 드레인 이온 주입을 행한다.

【0018】 뒤이어, 그림 3, 그림 4의 (b)에 나타내도록, 중간 절연막 100을 형성한 후, 비트 선 21을 형성한다. 계속되고, 그림 3, 그림 4의 (c)에 나타내도록, 중간 절연막 101을 형성한 후, 축적 전극 콘택트 25를 형성한다. 또한, 그림 3, 그림 4의 (d)에 나타내도록, 축적 전극 22를 형성한다.

0019] 뒤이어, 이것에 캐패시터 절연막 27 및 플레이트 전극 28을 형성하고 그림 1, 그림 2에 나타낼 것 같은 DRAM이 제조된

【0020】이처럼 본 실시예에 의하면, 축적 전극 22 인접한 축적 전극 22 사이를 분리하고 있기 때문에, 평면 패턴의 면적이 커진다. 또한, 십자형 패턴이라든가, 또 종래와 동일한 축적 용량을 얻는 점은 축적 전극의

평면 패턴을 종래의 구형으로부터 십자형에 형성하고, 이 십자 패턴의 코너 부와 그림 26의 축적 전극 패턴을 비교하고 알도록, 본 실시예의 쪽이 축적 전극 부분의 면적도 커진다. 이 때문에, 종래보다도 축적 용량을 크게 할 수 있고 낮게 한 것이 가능하다.

【0021】여기에서, 평면상에서의 축적 전극 패턴의 축적 전극간의 분리를 십자 패턴의 코너 부로 행하고 있기 때문에, 분리가 용이한 것은 분명하다. 따라서 본 실시예에 의하면, 확보한 것이 가능하고, 축적 전극보다(부터) 위의 배선으로

【0022】(실시예2) 그림 5는 본 발명의 제2의 실시예의 평면도, 그림 6 (b)은 도5의 및 D-D'단면도이다. 기본적인 구성과 콘택트 위치의 관계가 다르다.

【0023】p형 실리콘 기판 36에 소자 영역 33 (33<sub>1</sub>, 33<sub>2</sub>...)로 이 소자 영역은 분리되어 있다. 워드 선 30 (30<sub>1</sub>, 30<sub>2</sub>...)은 비트 선 콘택트 34 (34<sub>1</sub>, 34<sub>2</sub>...)를 이용하고 형성하고 있다.

【0024】이 트랜지스터의 비트 선 콘택트의 반대측은 축적 전극 32 (32<sub>1</sub>, 32<sub>2</sub>...)라고 연결되고 있다. 이 축적 전극 32는 분리 패턴의 영향 면적 및 평면 패턴 주변 오랜 큰 축적 전극을 형성하고 형성하고 있다.

【0025】다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 7, 그림 8은 그림 6의 시시D-D'단면에 상당하고 있다.

【0026】먼저, 그림 7, 그림 8의 (a)에 나타내도록, 소자 영역 33에 필드 산화막 39를 형성하고, 소자 영역 33의 주위에 게이트 절연막 37을 형성하고, 또한 소스, 드레인 이온 주입을 행한다.

【0027】위이어, 그림 7, 그림 8의 (b)에 나타내도록, 워드 선 30, 비트 선 31을 형성한다. 그리고, 그림 8의 (c)에 나타내도록, 층간 절연막 103을 형성하고, 비트 선 콘택트 35를 형성한다.

【0028】위이어, 이것에 캐패시터 절연막 37 및 플레이트 전극 38을 형성한 것에 의하고, 그림 5, 그림 6에 나타낼 것 같은 DRAM이 제조된다. 이와 같은 구성으로, 축적 전극 패턴의 평면상에서의 면적을 크게 할 수 있다.

【0029】(실시예3) 그림 9는, 본 발명의 제3의 실시예의 평면도, 그림 9 (a)는 도5의 시시C-C'단면, 그림 9 (b)는 도5의 및 D-D'단면도이다. 기본적인 구성과 콘택트 위치의 관계가 다르다. 【0030】이 실시예는, 제2의 실시예와 축적 전극의 구조가 동일하지만, 축적 전극 32 (32<sub>1</sub>, 32<sub>2</sub>...)의 평면 패턴의 부분이라고 연결되고 있다. 단, 이 구조에서는 노광 시간을 최적화한등으로 작용에 형성한 필요가 있다.

【0031】다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 10, 그림 11은 그림 9의 (b)에 상당한 단면을 나타내고 있다.

【0032】비트 선상의 층간막을 형성하고, 축적 전극 콘택트를 형성할 때까지는, 제2의 실시예와 동일하다. 위이어, 그림 10, 그림 11의 (a)에 나타내도록, 이 축적 전극 콘택트 35를 형성하고, 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑 한 후, CVD-SiO<sub>2</sub> 막 41을 퇴적한다. 그리고, 이 CVD-SiO<sub>2</sub> 막 41을 노광 및 에칭 한 마스크로 레지스트 42를 노광한다.

【0033】위이어, 그림 10, 그림 11의 (b)에 나타내도록, 이 레지스트 42를 마스크에 하여 CVD-SiO<sub>2</sub> 막 41과 그 아래 폴리실리콘을 이방성 에칭 하여, 계속되고 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑 한다. 계속되고, 그림 10, 그림 11의 (c)에 나타내도록, 전면의 폴리실리콘을 이방성 에칭 하여, 폴리실리콘의 크라운 구조 40을 남겨 둔다. 그 후, CVD-SiO<sub>2</sub> 막 41을 NH<sub>4</sub>F 등에 의하고 등방성 에칭 한다.

【0034】위이어, 이것에 캐패시터 절연막 37 및 플레이트 전극 38을 형성한 것에 의하고, 그림 9에 나타낼 것 같은 DRAM이 제조된다. 이와 같은 구성이라면, 제1의 실시예와 동일한 효과를 얻을 수 있는 것은 물론에 관한 것, 축적 전극의 측면면적을 고르고 크게 할 수 있고, 축적 용량의 확대에 유효하다.

종래보다(부터) 커지고 있는 것은 십자형 패턴이라고 한 것에 가하고, 인정한다. 예지 부가 인접한 경우와 비교하고, 코너 부가 인접한 경우에는, 축적 전극 높이를 그다지 크게 한 것 없이 DRAM 셀에 필요한 캐패시터 용량을 확보할 수 있다.

대략 구성을 나타내는 평면도, 그림 6 (a)은 도5의 시시C-C'단면도, 제1의 실시예와 동일하지만, 이 실시예는 제1의 실시예와 축적 전극 패턴

33<sub>2</sub>...)이 형성되고 있고, 다른 영역은 필드 산화막 39 (39<sub>1</sub>, 39<sub>2</sub>...)과 비트 선 31 (31<sub>1</sub>, 31<sub>2</sub>...)이 적교하고 있고, 비트 선 영역 33과 관련, 1개의 소자 영역에 대해 2개의 MOS 트랜지스터를

35 (35<sub>1</sub>, 35<sub>2</sub>...)를 이용하고 축적 전극 32 (32<sub>1</sub>, 32<sub>2</sub>...) 코너 부를 이용한 것에 의하고, 최소 가공 치수보다(부터) 작은 분리 간격을 형성하고, 이 축적 전극 32와 절연막 37 및 플레이트 전극 38로 캐패시터를

및 그림 8을 참조하고 설명한다. 또한, 그림 7은 그림 6의 시시C-C'

인 기판 36에, 열산화에 의하고 소자 분리용의 필드 산화막 39를 형성하고, 소자 영역 33의 주위에 게이트 절연막 37을 형성하고, 또한 소스, 드레인 이온 주입을 행한다.

절연막 102를 형성한 후, 비트 선 31을 형성한다. 계속되고, 그림 8의 (b)에 나타내도록, 층간 절연막 103을 형성하고, 비트 선 콘택트 35를 형성한다. 또한, 그림 7, 그림 8의 (c)에 나타내도록, 비트 선 콘택트 35를 형성하고, 비트 선 콘택트 35를 형성한다.

38을 형성한 것에 의하고, 그림 5, 그림 6에 나타낼 것 같은 DRAM이 제조된다. 이와 같은 구성으로, 축적 전극 패턴의 평면상에서의 면적을 크게 할 수 있고, 앞의 제1의 실시예와 동일한 효과를 얻을 수 있다.

대략 구성을 나타내는 단면도이다. 또한, 평면도는 그림 5와 동일하고, 단면도는 그림 6과 동일하다.

것만으로도, 다른 구성은 동일하다. 즉, 축적 전극의 평면도는 제2의 실시예와 동일하지만, 축적 전극 32 (32<sub>1</sub>, 32<sub>2</sub>...)의 평면 패턴의 부분이라고 연결되고 있다. 단, 이 구조에서는 노광 시간을 최적화한등으로 작용에 형성한 필요가 있다.

0 및 그림 11을 참조하고 설명한다. 또한, 그림 10은 그림 9 (a)에

형성할 때까지는, 제2의 실시예와 동일하다. 위이어, 그림 10, 그림 11의 (a)에 나타내도록, 이 축적 전극 콘택트 35를 형성하고, 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑 한 후, CVD-SiO<sub>2</sub> 막 41을 퇴적한다. 그리고, 이 CVD-SiO<sub>2</sub> 막 41을 노광 및 에칭 한 마스크로 레지스트 42를 노광한다.

이 레지스트 42를 마스크에 하여 CVD-SiO<sub>2</sub> 막 41과 그 아래 폴리실리콘을 이방성 에칭 하여, 계속되고 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑 한다. 계속되고, 그림 10, 그림 11의 (b)에 나타내도록, 전면의 폴리실리콘을 이방성 에칭 하여, 폴리실리콘의 크라운 구조 40을 남겨 둔다. 그 후, CVD-SiO<sub>2</sub> 막 41을 NH<sub>4</sub>F 등에 의하고 등방성 에칭 한다.

0034】위이어, 이것에 캐패시터 절연막 37 및 플레이트 전극 38을 형성한 것에 의하고, 그림 9에 나타낼 것 같은 DRAM이 제조된다. 이와 같은 구성이라면, 제1의 실시예와 동일한 효과를 얻을 수 있는 것은 물론에 관한 것, 축적 전극의 측면면적을 고르고 크게 할 수 있고, 축적 용량의 확대에 유효하다.

【0035】(실시예 4) 그림 12는, 본 발명의 제 4의 실시예의 대략 구성을 나타내는 단면도이다. 또한, 평면도는 그림 5와 동일하고 그림 12(a)는 도 5의 시시C-C'단면, 그림 12(b)는 도 5의 시시D-D'단면에 상당하고 있다.

【0036】이 실시예는, 제 2의 실시예와 축적 전극의 구조가 다르다. 즉, 축적 전극의 평면도는 제 2의 실시예와 동일하지만, 축적 전극 32(32<sub>1</sub>, 32<sub>2</sub>...)의 패턴의 주변 내측에 원통상에 폴리실리콘 등의 전극이 서고 있고, 축적 전극 평면 패턴의 부분이라고 연결되고 있다. 단, 이 구조에서는 옆의 축적 전극이라고 연결되지 않도록 축적 전극 32의 패턴을 레지스트의 노광 시간을 최적화한 등의 필요가 있다.

【0037】다음에, 본 실시예 장치의 제조 방법에 관하여, 그림 13 및 그림 14를 참조하고 설명한다. 또한, 그림 13은 그림 12(a), 그림 14는 그림 12(b)에 상당한 단면을 나타내고 있다.

【0038】비트 선상의 층간막을 형성하고, 축적 전극 콘택트를 형성할 때까지는, 제 2의 실시예와 동일한다. 뒤이어, 그림 13, 그림 14의(a)에 나타내도록, 이 축적 전극 콘택트 35를 형성한 후, 폴리실리콘 등을 퇴적하고, 비소 또는 인 등을 도핑하여, 전면 이방성 에칭하여, 이 축적 전극 콘택트 35를 폴리실리콘 등으로 매입한다. 계속되고, CVD-SiO<sub>2</sub> 막 41을 퇴적한다. 그리고, 이 CVD-SiO<sub>2</sub> 막 41을 패터닝 한 마스크로 레지스터 42를 노광한다.

【0039】뒤이어, 그림 13, 그림 14의(b)에 나타내도록, 이 레지스터 42를 마스크에 하여 CVD-SiO<sub>2</sub> 막 41을 이방성 에칭하여, 계속되고 폴리실리콘을 퇴적하고, 비소 또는 인 등을 도핑한다. 계속되고, 그림 13, 그림 14의(c)에 나타내도록, 전면 폴리실리콘을 이방성 에칭한다. 이 이방성 에칭을 행한 때, 홈의 바닥부의 폴리실리콘을 남겨 두기 위해(때문에), 홈에 절연막등을 매입하고 있어서도 좋다. 그 후, CVD-SiO<sub>2</sub> 막 41을 NH<sub>4</sub>F 등에 의하고 등방성 에칭한다.

【0040】뒤이어, 이것에 캐패시터 절연막 37 및 플레이트 전극 38을 형성한 것에 의하고, 그림 12에 나타낼 것 같은 DRAM이 제조된다. 이와 같은 구성이라면, 제 3의 실시예와 마찬가지로, 축적 전극의 측면면적을 고르고 크게할 수 있고, 축적 용량의 확대에 유효하다.

【0041】(실시예 5) 그림 15는 본 발명의 제 5의 실시예의 대략 구성을 나타내는 평면도, 그림 16은 그림 15의 시시E-E'단면도이다. 이 실시예로는, 비트 선이 축적 전극보다도 위에 형성되고 있다. 즉, 비트 선 14(14<sub>1</sub>, 14<sub>2</sub>...)로부터 소자 영역 15(15<sub>1</sub>, 15<sub>2</sub>...)에 향하여 축적 전극 11(11<sub>1</sub>, 11<sub>2</sub>...)이나 워드 선 13(13<sub>1</sub>, 13<sub>2</sub>...)이라고 절연하도록 하여, 비트 선 콘택트 16(16<sub>1</sub>, 16<sub>2</sub>...)을 이용하고 접속을 하고 있다.

【0042】또한, 그림중 12(12<sub>1</sub>, 12<sub>2</sub>...)는 축적 전극 콘택트, 17(17<sub>1</sub>, 17<sub>2</sub>...)은 플레이트 전극, 18(18<sub>1</sub>, 18<sub>2</sub>...), 19(19<sub>1</sub>, 19<sub>2</sub>...)는 층간 절연막을 나타내고 있다.

【0043】이와 같은 구성라도, 축적 전극을 십자형의 패턴에 형성하고, 축적 전극의 본리에 패턴의 코너 부를 이용한 것에 의하고, 제 1 실시예와 마찬가지로, 축적 전극 높이를 그다지 크게 한 것 없이 DRAM 셀에 필요한 캐패시터 용량을 확보한 것이 가능하고, 축적 전극(부터) 위의 배선으로부터 축적 전극보다(부터) 아래의 층에 접속을 한 것이 용이해진다.

【0044】또한, 상술한 각 실시예로는 축적 전극의 평면 패턴을 십자형이라고 했지만, 반드시 십자형에 한하지 않고, 패턴의 코너 부를 리 가능한 구조라면 좋다. 소자 구조 및 제조 방법은, 실시예로 나타냈던 것에 하등 한정된 것이 아니고, 본 발명의 요지를 일탈하지 않는 범위에서, 여러 가지 변형하고 실시한 것이 가능하다.

【0045】와 무렵에, 전술한 실시예에 있어서 축적 전극 패턴(십자형)을 포토 리소그래피로 형성한 때에는, 패턴이 작아지고 온다면 상도 좋게 형성한 것이 곤란해진다. 그러면 이하의 실시예로는, 위상 시프트 마스크를 이용하고 캐패시터 패턴을 형성했다.

【0046】(실시예 6) 그림 17, 그림 18은 제 6의 실시예를 설명하기 위한 것으로, 그림 17은(H형)의 위상 시프트 마스크의 위상 시프트의 패턴의 평면도, 그림 18(a)는 이 위상 시프트 마스크를 이용하고 형성됐다, 마무리의 SN형상의 평면 패턴, 그림 18(b)은 그 조감 그림을 나타내고 있다.

【0047】그림 17에 나타낼 것 같은 위상 시프터 61을 이용한 것에 의하고, 위상이 180°회전하고, 위상 시프터 61의 에지에 따라 광강도가 0이 된다. 이 때문에, 네가 형 레지스트를 이용한 것에 의하고, 위상 시프터 61의 에지에 따르고 레지스트가 제거되고 미세한 페이스가 형성된다. 이것은, 이른바 에지 이용형 위상 시프트 마스크이다. 액시머 스테파 등을 이용한다면 0.1~0.2μm의 스페이가 실현된다. 결과로서 그림 18(a)(b)에 나타내는 것 같았던 축적 전극(SN) 62의 형상이 실현된다.

【0048】이 SN형상은, 종래의 단순 SN구조와 비교하고 주변장이 약 2 배로 되기 위해(때문에), 동일한 SN 높이로 동일한 캐패시터 절연막후로 비교하면, Cs가 2 배도 된다. 즉, 종래의 단순 SN구조를 형성한 것과 동일한 공정수로 2 배의 Cs를 얻을 수 있다. 이는, 캐패시터 공정수가 배 근처도 된다. 공정이 많은 크라운 구조에 맞먹든지 또는 그 이상의 Cs이다. 이것은, 그림 19의 특성(종 SN구조에 있어서 디자인 룰에 대한 축적 용량의 변화)으로부터, 단순 SN구조의 H와 종래형의 C를 비교한다면 분명하다.

【0049】또한, 얇은 다결정 실리콘을 형성하고, 그 위에 그림 18(b)과 같은 구조를 일단 CVD 산화막등으로 형성한 후, 전면 에칭 정 실리콘을 퇴적하고, 반응성 이온 에칭 등에 의하고 측면 잔재를 하여, 그림 18(c)와 같은, H형의 크라운 구조를 형성한 것도 가능하다. 이 구조를 이용한다면 주변장이 또한 배 근처가 되고, 그림 19에 나타내도록, 또한 배의 Cs를 얻을 수 있다.

0050】(실시예7)그림20은본발명의제7의실시에(펜스형)의위상시프트마스크의위상시프터의각종패턴의평면도,그림21(a)은이위상시프트마스크를이용하고형성된마우리SN형상의평면패턴,그림21(b)은그조각그림을나타내고있다.

0051】그림20(a)(b)(c)어느시프터패턴을이용해도상관하지않는다.시프터의가공의하여역,패턴·데이터처리의하여역등에의하고어느것을사용하든지결정된다.

0052】이SN형상으로는,주변장은종래구조의배근처가되고,Cs도배락의값을얻을수있다.또,그림21(c)와같은클라운구조라고조합하면,또한배의Cs를얻을수있다.

0053】(실시예8)그림22는본발명의제8의실시에(실자형)의위상시프트마스크의위상시프터의각종패턴의평면도,그림23(a)은이위상시프트마스크를이용하고형성된마우리SN형상의평면패턴,그림23(b)그조각그림을나타내고있다.

0054】그림22(a)(b)(c)어느시프터패턴을이용해도상관하지않는다.이SN형상으로는,주변장은종래구조의15~30%up밖에되지않지만,Cs는그만큼증대한다.또,그림23(c)과같은크라운구조를조합하면,또한배의Cs를얻을수있다.

0055】그림24(a)는,1/2피치의출데드·비트라인방식레이아웃의경우의,H형SN2와SN다이콘4,BL다이콘3의레이아웃을나타내고있다.그림24(b)는,1/4피치의출데드·비트라인방식레이아웃의경우의,H형SN2와SN다이콘4,BL다이콘3의레이아웃을나타내고있다.

0056】상기의실시예는,8F<sup>2</sup>(F:디자인룰)타입의셀의레이아웃에적용한패턴에관하여기술하고있지만,오픈·비트라인방식등의6F<sup>2</sup>타입,나아가서는4F<sup>2</sup>타입의레이아웃에도동등하게적용할수있다.

0057】그림25는또한다른예(크라운구조)를설명하기위한것으로,(a)(b)는위상시프트마스크의위상시프터의평면도,(c)는이마스크를이용하고형성된마우리SN형상의평면패턴,(d)는그조각그림을나타내고있다.그림25(a)는포1형레지스트용,그림25(b)는네가형레지스트용의마스크이다.단순SN구조의공정수와동일로크라운구조가실현할수있다.

0058】상기의실시예에서의SN전극은,다결정실리콘이외의W,Cu등의메탈이라도상관하지않는다.또,단층,적층을묻지않는다.또,캐패시터절연막은,NO막,Ta<sub>2</sub>O<sub>5</sub>막,강유전체막등재질을묻지않는다.마찬가지로플레이트전극의재질도묻지않는다.

0059】

【발명의효과】이상상술했던것처럼본발명에의하면,메모리셀의축적전극간의분리에패턴의코너부를이용한것에의하고,최소가치수보다(부터)작은분리간격의투영면적및평면패턴주변오랜분축적전극을형성하고있다.따라서,축적전극높이를그다지크게한것없이DRAM셀에필요한캐패시터용량을확보한것이가능하고,축적전극보다(부터)위의배선으로부터축적전극보다(부터)아래의층에접촉을한것이곤란해지지않은것같은축적전극의평면패턴을갖는반도체기억장치를실현한것이가능해진다.

【도면의간단한설명】

【그림1】제1의실시예에관계된DRAM의대략구성을나타내는평면도.

【그림2】그림1의시시A-A'및B-B'단면도.

【그림3】제1의실시예의제조공정을나타내는단면도.

【그림4】제1의실시예의제조공정을나타내는단면도.

【그림5】제2의실시예의대략구성을나타내는평면도.

【그림6】그림5의시시C-C'및D-D'단면도.

【그림7】제2의실시예의제조공정을나타내는단면도.

【그림8】제2의실시예의제조공정을나타내는단면도.

【그림9】제3의실시예의대략구성을나타내는단면도.

【그림10】제3의실시예의제조공정을나타내는단면도.

【그림11】제3의실시예의제조공정을나타내는단면도.

【그림12】제4의실시예의대략구성을나타내는단면도.

【그림13】제4의실시예의제조공정을나타내는단면도.

【그림14】제4의실시예의제조공정을나타내는단면도.

【그림15】제5의실시예의대략구성을나타내는평면도.

【그림16】그림15의시시E-E'단면도.

【그림17】제6의실시예(H형)의위상시프트마스크의시프터패턴을나타내는평면도.

【그림18】그림17의위상시프트마스크를이용하고형성된SN형상패턴을나타내는그림.

그림 19] 디자인 룰과 축적 용량과의 관계를 나타내는 특성도.

그림 20] 제 7의 실시예 (펜스 형) 의 위상 시프트 마스크의 시프터 패턴을 나타내는 평면도.

그림 21] 그림 20의 위상 시프트 마스크를 이용하고 형성된 SN 형상 패턴을 나타내는 그림.

그림 22] 제 8의 실시예 (삼자 형) 의 위상 시프트 마스크의 시프터 패턴을 나타내는 평면도.

그림 23] 그림 22의 위상 시프트 마스크를 이용하고 형성된 SN 형상 패턴을 나타내는 그림.

그림 24] 홀 데드-비트 라인 방식 레이아웃의 경우의, H 형 SN과, SN 다이 콘, BL 다이 콘의 레이아웃을 나타내는 그림.

그림 25] 제 9의 실시예 (크라운 구조) 의 위상 시프트 마스크를 설명하기 위한 그림.

그림 26] 종래의 DRAM 구조를 나타내는 평면도.

그림 27] 그림 26의 시시 F - F' 단면도.

[부호의 설명]

- 1 (21<sub>1</sub>, 21<sub>2</sub> ...) ...비트 선
- 2 (22<sub>1</sub>, 22<sub>2</sub> ...) ...축적 전극
- 3 (23<sub>1</sub>, 23<sub>2</sub> ...) ...소자 영역
- 4 (24<sub>1</sub>, 25<sub>2</sub> ...) ...비트 선 콘택트
- 5 (25<sub>1</sub>, 25<sub>2</sub> ...) ...축적 전극 콘택트
- 6 ...p 형 실리콘 기판
- 7 (27<sub>1</sub>, 27<sub>2</sub> ...) ...절연막
- 8 ...플레이트 전극
- 9 (29<sub>1</sub>, 29<sub>2</sub> ...) ...필드 산화막

[그림 1]

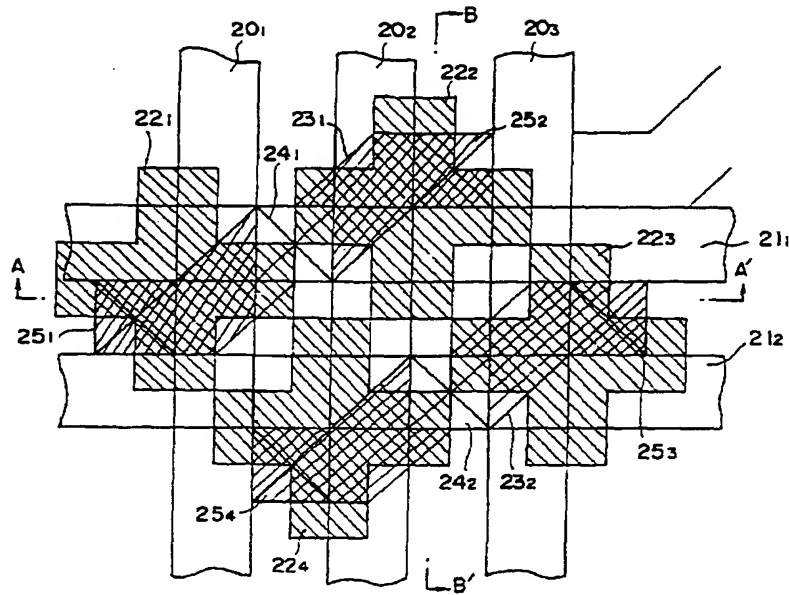
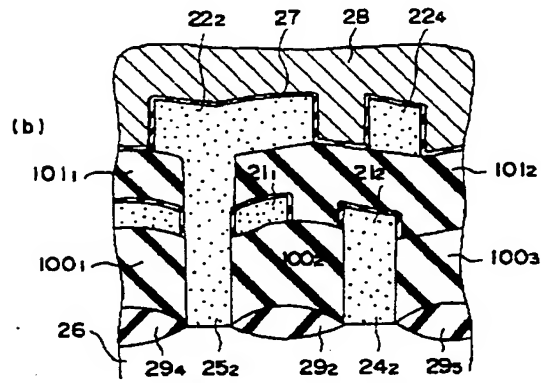
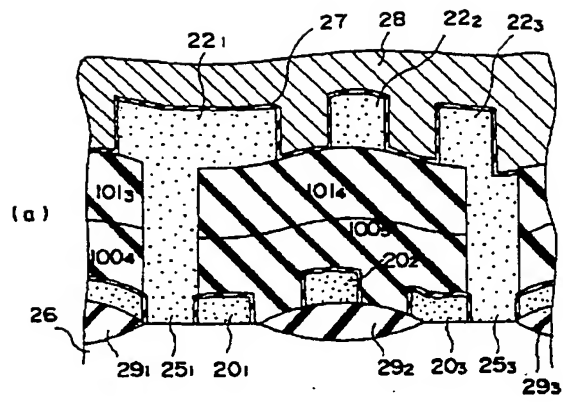


그림 2]



[그림 3]

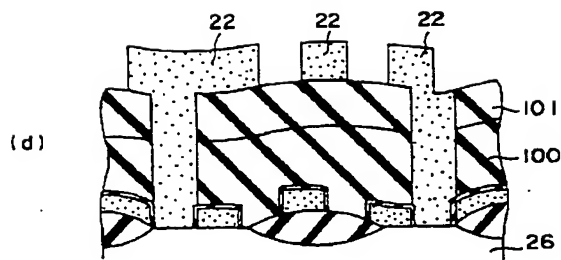
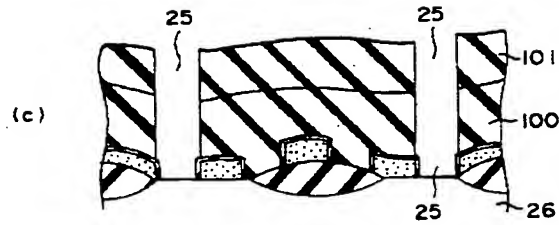
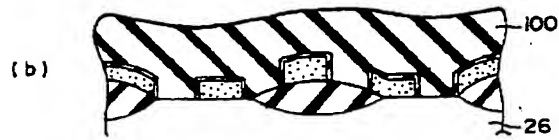
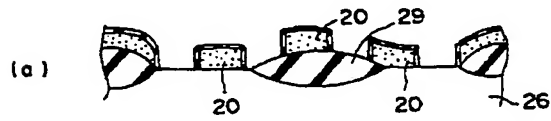
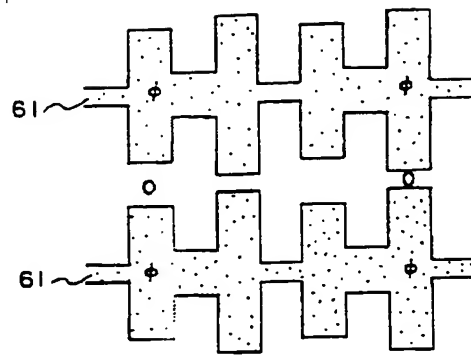
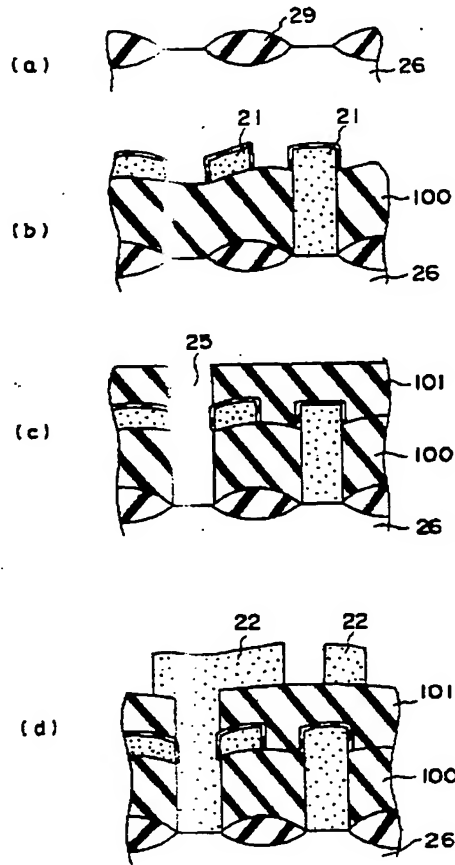


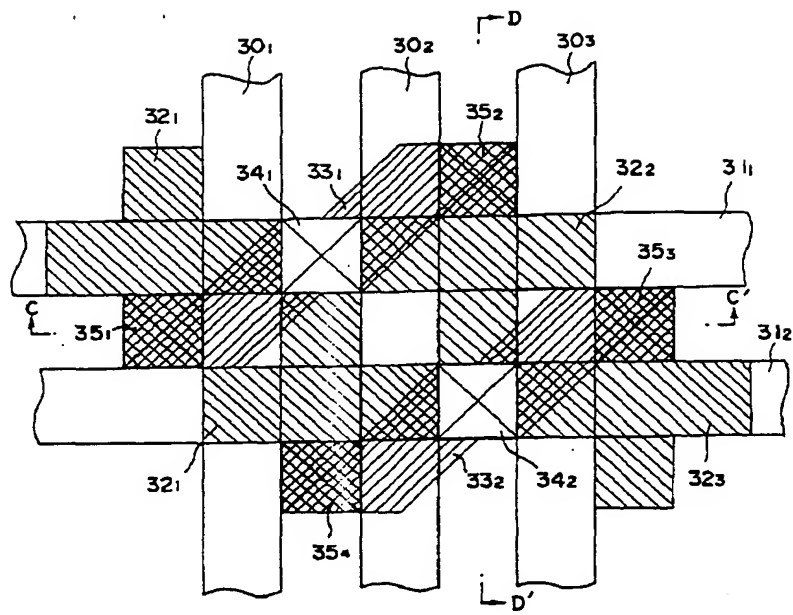
그림 171



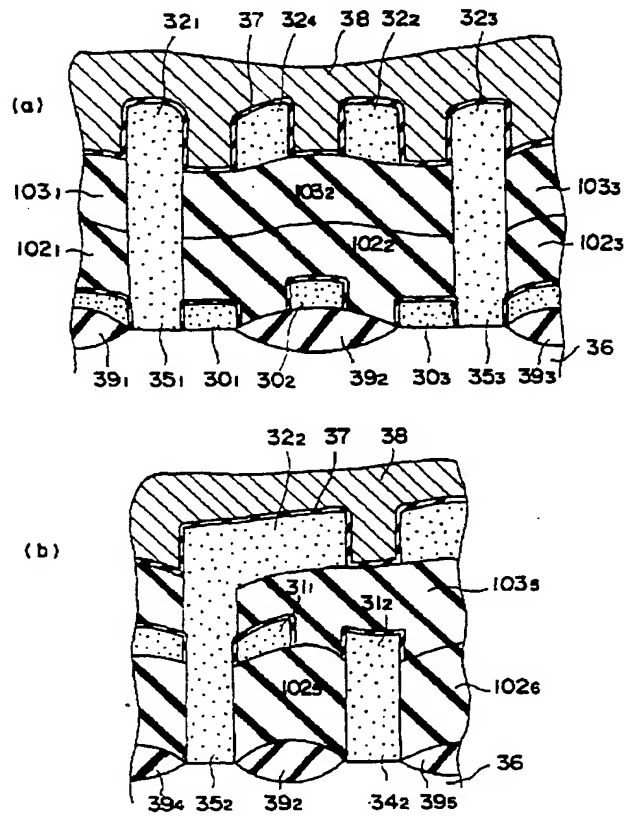
【그림 4】



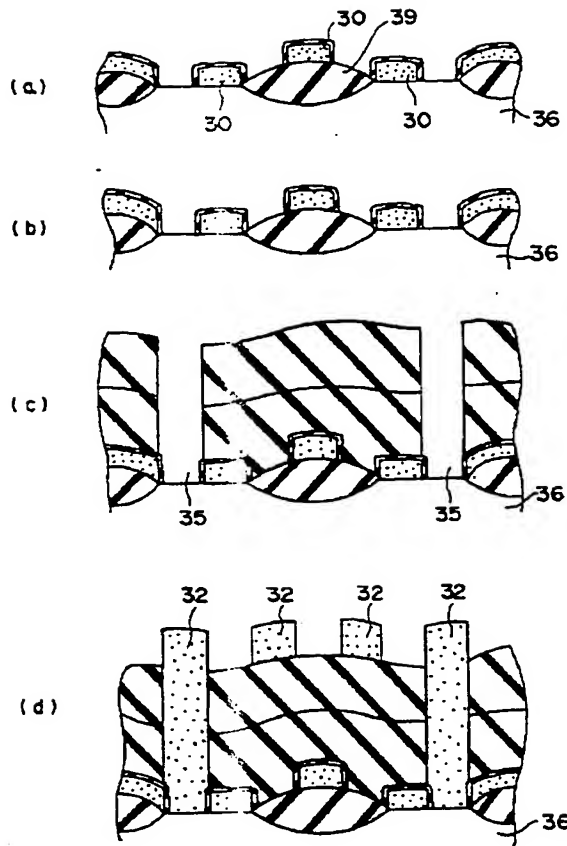
【그림 5】



【그림 6】



【그림 7】



【그림 8】

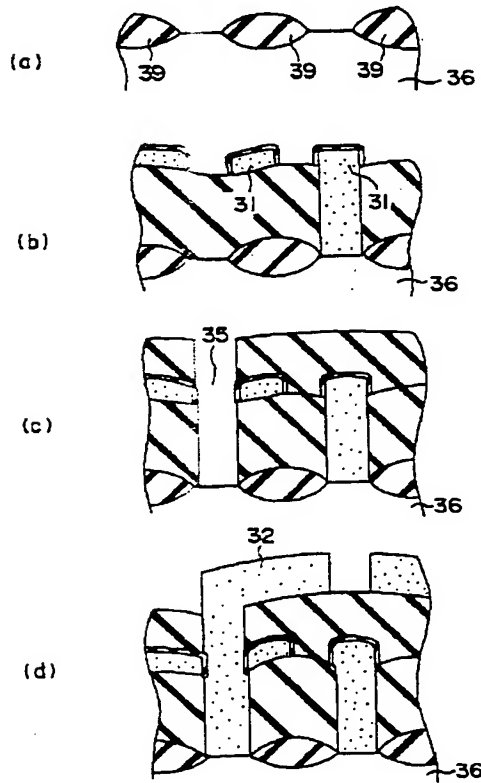
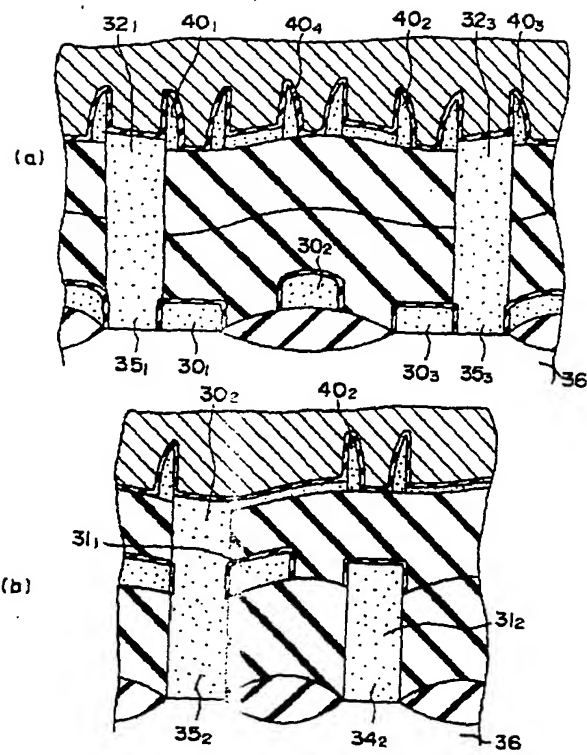
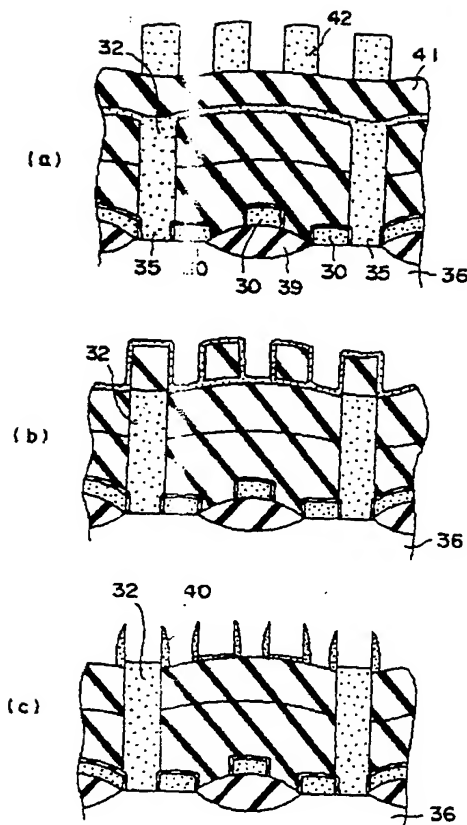


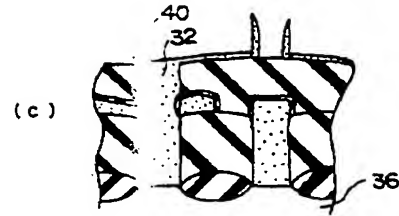
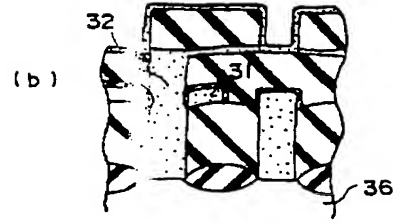
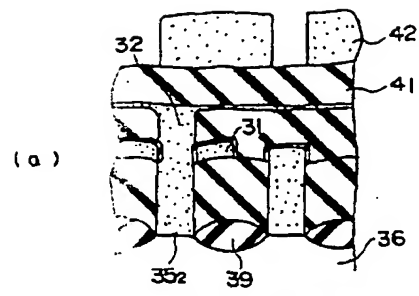
그림 9]



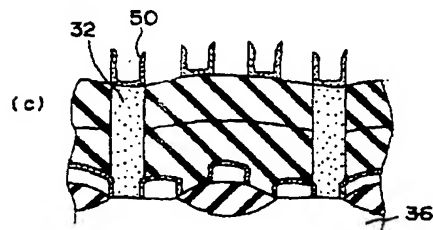
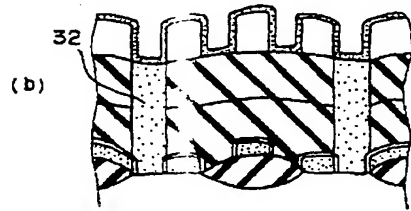
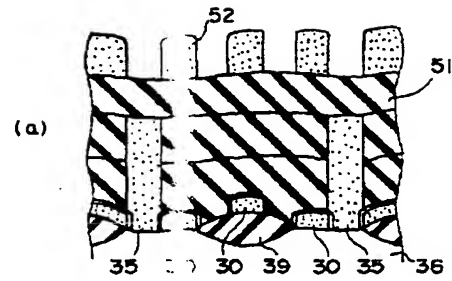
【그림 10】



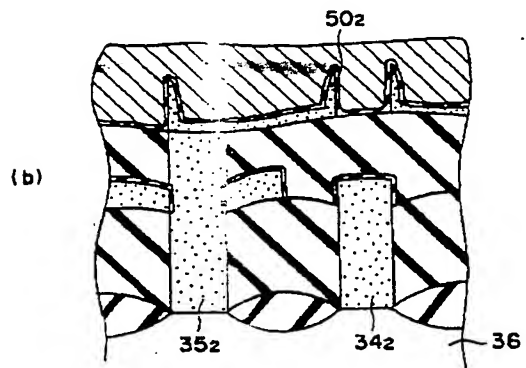
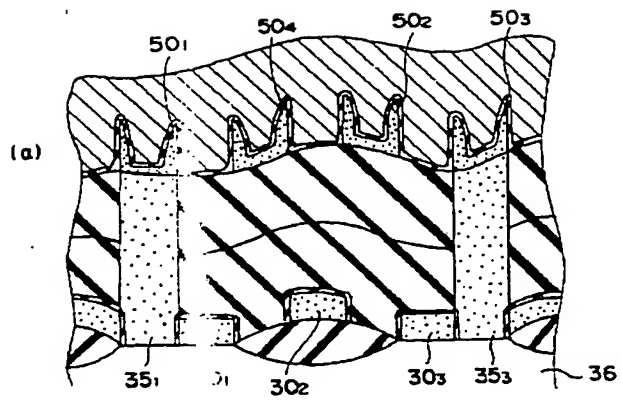
【그림 11】



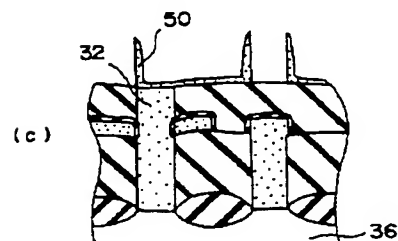
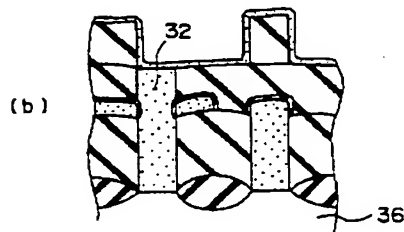
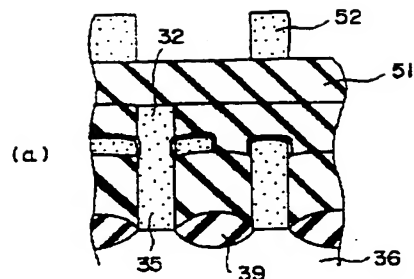
【그림 13】



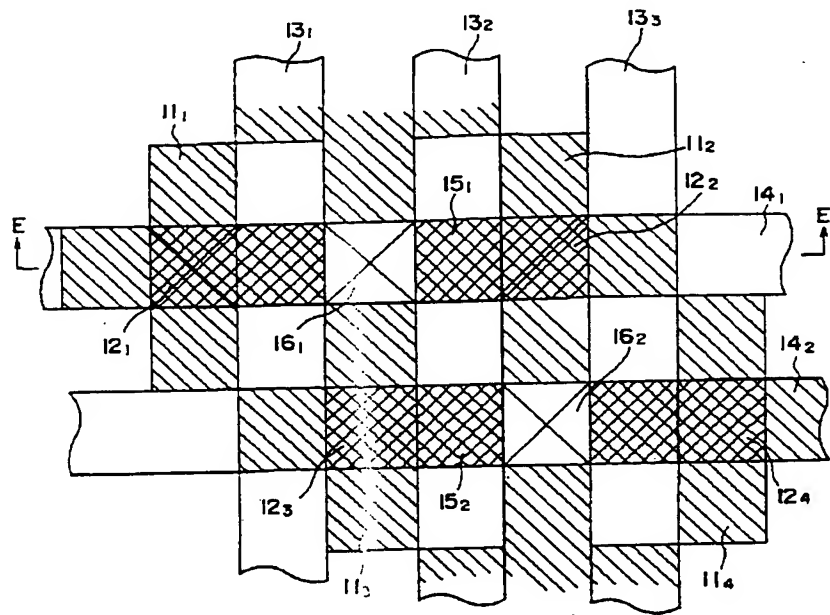
【그림 12】



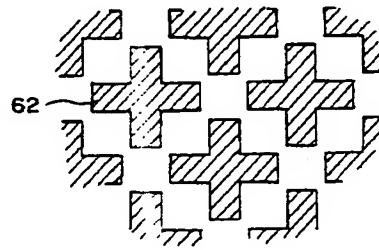
【그림 14】



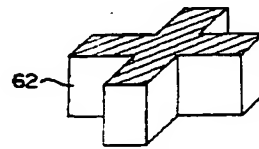
【그림 15】



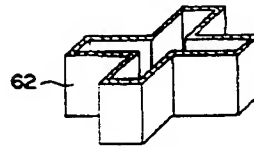
【그림 23】



(a)

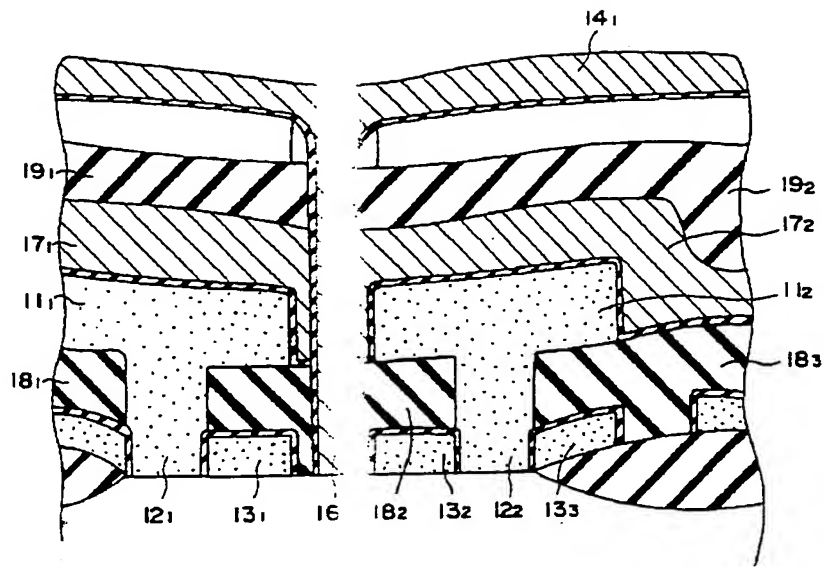


(b)

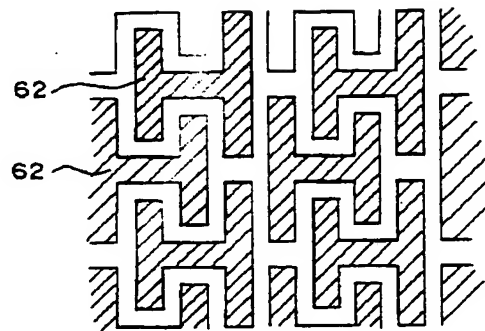


(c)

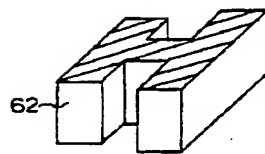
【그림 16】



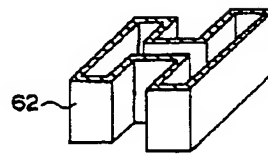
【그림 18】



(a)

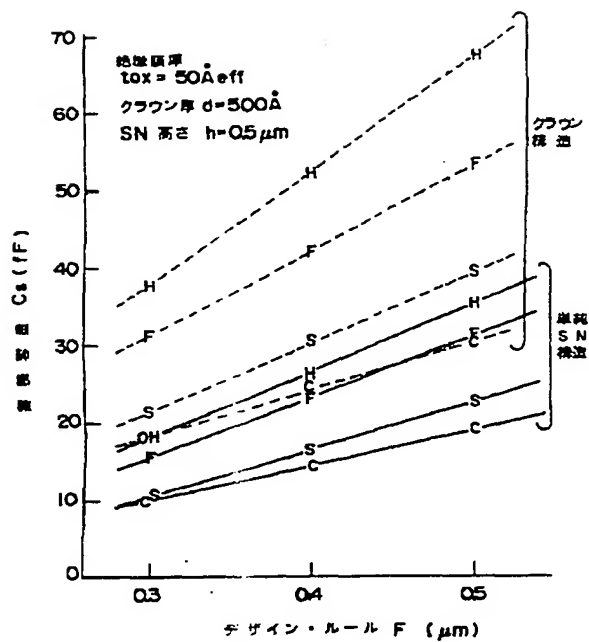


(b)

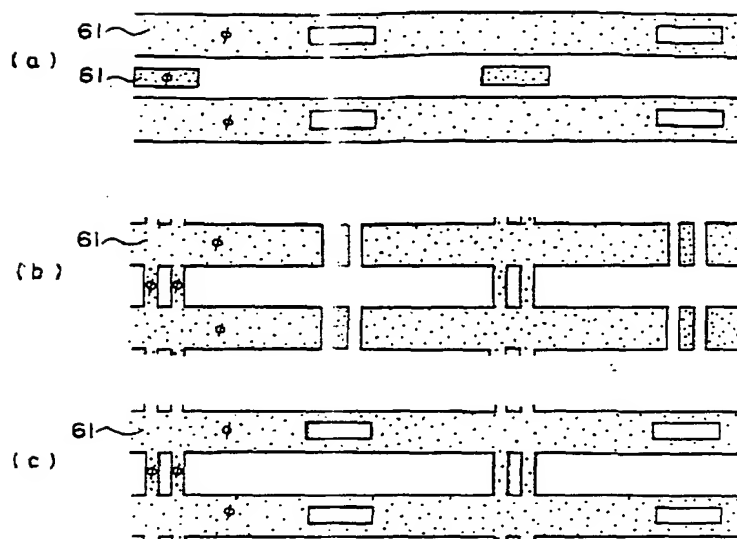


(c)

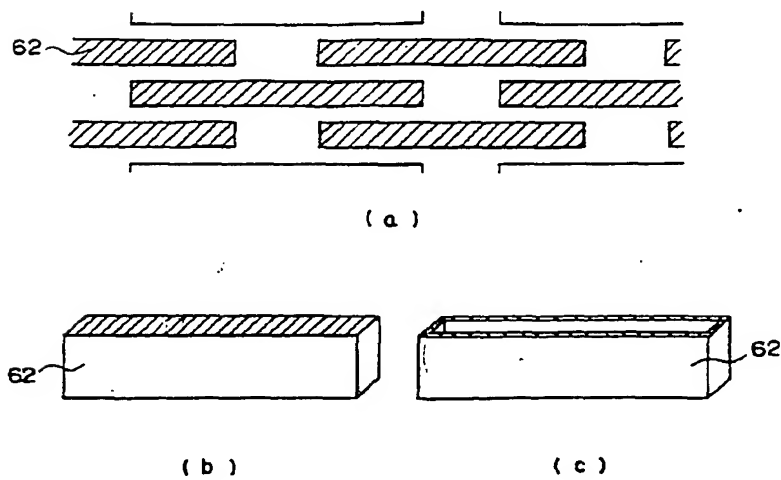
【그림 19】



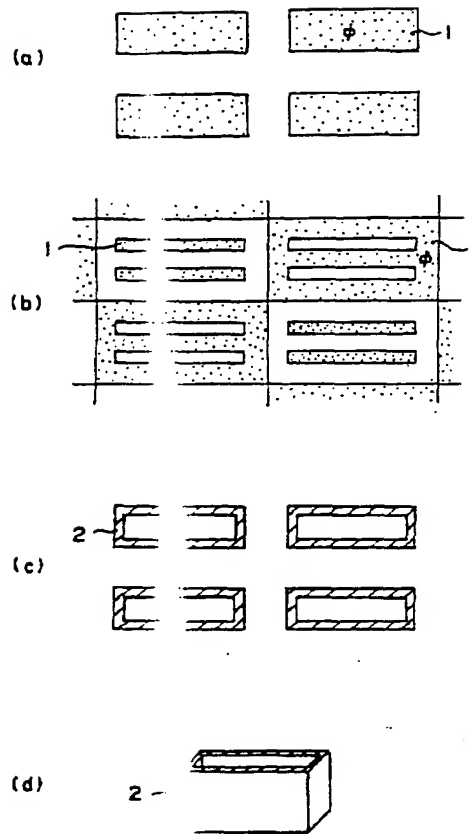
【図 20】



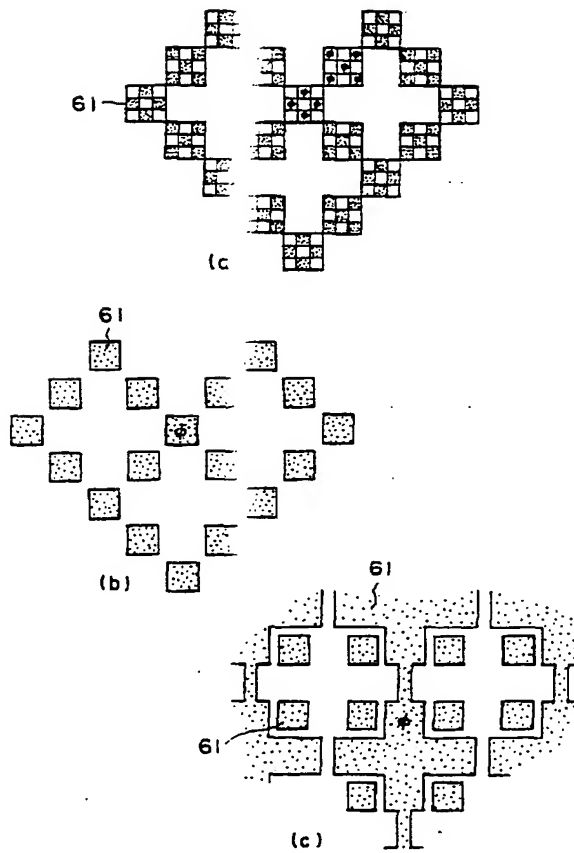
【図 21】



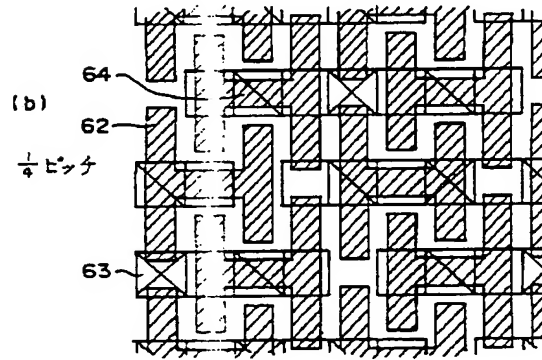
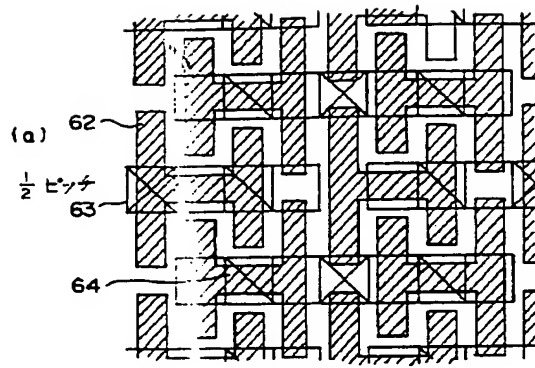
[그림 2 5]



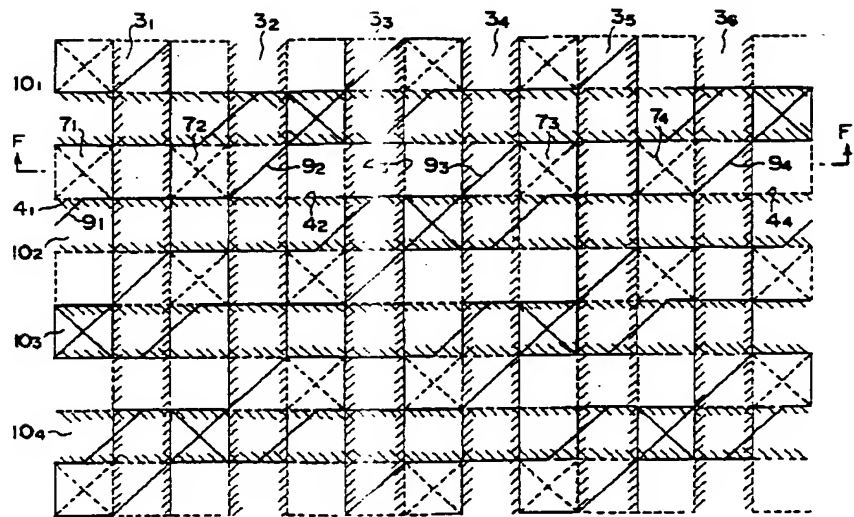
[그림 2 2]



[그림 2 4]



【그림 26】



【그림 27】

